

**PROGRAM  
ZA PRORAČUN  
POUZDANOSTI  
RAZLIČITIH  
MEMORIJSKIH SISTEMA**

**L. BUDIN  
Ž. NOŽICA  
U. PERUŠKO  
D. VUKOVIĆ**

UDK: 621.3.019.3 : 681.3.067

**ZAVOD ZA ELEKTRONIKU  
ELEKTROTEHNIČKI FAKULTET, ZAGREB**

U članku se opisuje pristup izradi programa za proračun pouzdanosti različitih memorijskih sistema. Posebna pažnja usmjerena je na memorijske sisteme koji su posebno projektirani da bi zadovoljili visoke zahtjeve za pouzdanošću. Program određuje pouzdanost memorijskog sistema polazeći od zadane pouzdanosti blokova memorije. Pouzdanost bloka memorije računa se u programu prema MIL-HDBK-217B.

Reliability Analysis Program for Memory Systems. Although memory elements are greatly expanded in nearly all areas of current digital system design, these components have not yet reached the degree of reliability required in large memory systems. Therefore various schemes that improve reliability of memory systems are developed. In following text computer program, based on developed models and models from MIL-HDBK-217B, that allows comparison of memory systems is described

### 1. UVOD

Buran razvoj poluvodičkih elemenata visokog stupnja integracije te mikro računarske tehnike, uvjetovao je i nagli rast proizvodnje i potrošnje poluvodičkih memorija, bilo kao operativnih bilo kao masovnih memorija. Interes korisnika da poveća memoriju svog sistema doveo je usprkos svakodnevnom tehnološkom napretku koji uzrokuje pad cijena po bitu do porasta udjela cijene memorije unutar računarskog sistema.

Razvoj tehnologije istodobno je uticao da se glavni problem projektiranja računala pomakne od centralnog procesora k drugim područjima među kojima je memorija jedan od vrlo značajnih za cijeli sistem. S jedne strane, premda je tehnologija producirala i vrlo brze memorije, nije dala uz ekonomičan i brz procesor i ekonomične i brze memorije. S druge strane, iako su se snažno širile na sva područja projektiranja digitalnih sistema, memorijske komponente nisu dostigle zadovoljavajući nivo pouzdanosti. To posebno vrijedi za neke tehnologije (npr. naboj-ski vezani elementi) koje su zbog niske cijene

vrlo interesantne za izgradnju velikih memorija.

Rezultat nastojanja da se prevlada kako jaz između brzine memorije i brzine obrade tako i uticaj nepouzdanosti memorijskih komponenata na rad cijelog sistema ogleda se u razvoju čitavo niza arhitektura i organizacija memorija. Predmet istraživanja kojima ovaj članak doprinosi su postupci zaštite memorijskog sistema koji mora ostvariti visoku pouzdanost u radu. Tehnike i postupci ostvarivanja takvih sistema razvijaju se niz godina i danas postoji veliki broj sistema koji su, koristeći dodatne sklopove, kodove i/ili programsku podršku, vrlo pouzdani [5-9]. Na osnovi dosadašnjih istraživanja sa sigurnošću se može reći da pogodnost tih sistema vrlo ovisi o veličini memorije, brzini, pouzdanosti kontrolne logike i sl. Program koji se opisuje u ovom tekstu pogodan je za uporedbu memorijskih sistema upravo po tim parametrima, i tako omogućava projektantu lakši izbor optimalnog sistema.

## 2. PREGLED SISTEMA I MODELA

### 2.1. Model memorije

Pretpostavke:

- (1) Kvar ćelije je tipa  $s-a-\alpha, \alpha \in \{0,1\}$ .
- (2) Memorija se sastoji od  $k$  ravnina bita.
- (3) Kvarovi se događaju nezavisno.

Iz pretpostavke (3) proizlazi da se i greške kao direktne posljedice kvarova događaju nezavisno. Analizom vjerojatnosti pojave grešaka u grupi bita (riječi) pokazalo se da je distribucija ovih vjerojatnosti binomna. Odatle slijedi da će distribucija vjerojatnosti  $m$  grešaka i  $n$  maskiranih kvarova u grupi bita imati oblik:

$$\text{binm}(m; P_e, m+n) \cdot \text{binm}(m+n; u, k)$$

Ovdje je  $P_e$  vjerojatnost pojave greške na poziciji bita na kojoj postoji kvar. Ova vjerojatnost je veoma ovisna o rasporedu jedinica i nula u memoriji. Analizom uzorka bita u memoriji moguće je odrediti  $P_{Di}$ ,  $i = 1, \dots, k$ . Ukoliko se dogodio kvar, vjerojatnost da taj kvar uzrokuje grešku bit će:

$$P_e = P_{SO} \cdot P_D + P_{SI} \cdot (1 - P_D)$$

gdje je radi jednostavnosti pretpostavljeno  $P_{Di} = P_D$ , za svaki  $i$ .

Kako se  $m$  grešaka može pojaviti uz bilo koji broj kvarova veći ili jednak  $m$ , vjerojatnost  $m$  grešaka u grupi bita bit će:

$$Y(k, P_e, u, m) = \sum_{i=m}^k \text{binm}(m; P_e, i) \cdot \text{binm}(i; u, k)$$

a vjerojatnost  $m$  ili manje grešaka u grupi bita:

$$\theta(k, P_e, u, m) = \sum_{i=0}^m Y(k, P_e, u, i)$$

Vjerojatnost da sve grupe u memoriji sadrže  $m$  ili manje grešaka je:

$$P^*(k, P_e, u, m, w) = [\theta(k, P_e, u, m)]^w$$

### 2.2. Modeli pouzdanosti za pojedine memorijske sisteme

#### 2.2.1. Simpleks memorijski sistem (slika 2.)

Pretpostavke:

- (1) Greška u bilo kojoj memorijskoj riječi uzrokuje neispravnost memorijskog sistema.
- (2) Kvar u kontrolnom sklopu uzrokuje neispravnost memorijskog sistema.

Iz ovih pretpostavki slijedi da je pouzdanost simpleks memorijskog sistema:

$$R_{SMP} = P^*(k, P_e, u, 0, w) R_m$$

#### 2.2.2. Ispisna memorija (slika 3.)

Ispisna memorija je strukturalno slična simpleks memoriji osim što se jednom upisani podatak u njoj ne mijenja. Izraz za pouzdanost simpleks memorije je stoga primjenjiv i za ispisnu memoriju (ROM), uz dobar izbor  $P_e$ . Iz razloga navedenih u [1] odabrano je za ovu analizu  $P_e=1$  za memorije promjenjivog sadržaja i  $P_e=0.5$  za ispisne memorije.

#### 2.2.3. Memorijski sistem sa N-modularnom zalihosti (slika 4.)

Pretpostavke:

- (1) Memorija se sastoji od  $N$  simpleks memorija vezanih paralelno.
- (2)  $N$  je neparan, tako da sistem može podnijeti  $(N-1)/2$  grešaka.
- (3) Svaki bit pročitane riječi dobija se većinskim nadglašavanjem bita iz  $N$  modula.
- (4) Greška u kontrolnom sklopu bilo koje od  $N$  simpleks memorija uzrokovat će neispravnost memorijskog sistema.

Pouzdanost ovog memorijskog sistema bit će:

$$R_{NMR} = P^*(N, P_e, u, \frac{N-1}{2}, kw)$$

$$P^*(N, P_{ev}, u, \frac{N-1}{2}, k) \cdot R_m^N$$

#### 2.2.4. Memorijski sistem sa rezervnim modulima (slika 5.)

Pretpostavke:

- (1) Memorija se sastoji od  $N$  simpleks memorija sa paralelnim upisom.
- (2) Prije upisa podaci se kodiraju kodom za korekciju grešaka i detekciju  $j$  grešaka.
- (3) Podatak se najprije pročita iz jednog modula i provodi se kontrola grešaka. Ako riječ sadrži  $\ell$  ili manje grešaka, bit će korigirana i prenesena. Ako riječ sadrži više od  $\ell$  a manje od  $j$  grešaka, preklopnik izlazne sabirnice će se prekopčati na slijedeći modul i pokušava se čitanje iste riječi iz tog modula.
- (4) Kvar u preklopniku izlazne sabirnice, sklopovima za detekciju i korekciju greške ili kontrolnom sklopu uzrokovat će neispravnost pročitane riječi.

Pouzdanost ovog sistema je:

$$R_{SS-N} = \left\{ \sum_{v=0}^{N-1} \binom{N}{v} [P^*(k, P_e, u, j, 1) - P^*(k, P_e, u, \ell, 1)]^v \right.$$

$$\left. [P^*(k, P_e, u, \ell, 1)]^{(N-v)} \right\}^w \cdot R_S \cdot R_e \cdot R_m^N$$

2.2.5. Memorijski sistem sa korekcijom jednostruke greške i rezervnim ravninama bita (slika 6.)

Pretpostavke:

- (1) Podatak je kodiran kodom za korekciju jednostruke i detekciju dvostruke greške.
- (2) Osim k aktivnih ravnina postoji s rezervnih ravnina bita.
- (3) Kvar u kontrolnom sklopu uzrokovat će neispravnost pročitane riječi.

Pouzdanost ovog sistema je:

$$R_{SEC-S} = P^*(k+s, P_e, u, s+1, w) \cdot R_e \cdot R_s \cdot R_m + \\ P^*(k, P_e, u, 1, w) \cdot (1-R_s) \cdot R_e \cdot R_m + \\ P^*(k, P_e, u, 0, w) \cdot (1-R_e) \cdot R_m$$

2.2.6. Memorijski sistem sa korekcijom M grešaka i rezervnim ravninama bita (slika 7.)

Pretpostavke:

- (1) Organizacija ovog sistema je slična prethodnom, SEC-S sistemu, osim što su podaci zaštićeni kodom za korekciju M grešaka.

Pouzdanost ovog sistema je:

$$R_{MEC-S} = P^*(k+s, P_e, u, s+M, w) \cdot R_e \cdot R_s \cdot R_m + \\ P^*(k, P_e, u, M, w) \cdot (1-R_s) \cdot R_e \cdot R_m + \\ P^*(k, P_e, u, 0, w) \cdot (1-R_e) \cdot R_m$$

Dosada navedeni sistemi analizirani su detaljnije u literaturi [1], pa su umjesto detaljnog izvoda navedeni samo konačni izrazi za pouzdanost. U analizu iz [1] nije uključen dupleks memorijski sistem pa je ovdje naveden kompletan izvod za njegovu pouzdanost.

2.2.7. Dupleks memorijski sistem (slika 8.)

Pretpostavke:

- (1) Dupleks sistem sastoji se od dva simpleks sistema vezana paralelno.
- (2) Podaci se upisuju u obje jedinice i zaštićeni su paritetno.
- (3) Prilikom čitanja čita se iz obje jedinice i na sabirnicu se propušta padatak iz jedinice koja nije indicirala paritetnu grešku.
- (4) Svaka jedinica ima zasebni kontrolni sklop i sklop za kontrolu pariteta.
- (5) Svaka jedinica sadrži s rezervnih ravnina bita i sklop za njihovo prekapčanje.

Elementarni događaji:

A - Prva jedinica ne sadrži više od s+1 grešaka, druga jedinica ne sadrži više od s grešaka.

B - Prva jedinica ne sadrži više od s grešaka, druga jedinica ne sadrži više od s+1 grešaka.

C - Sklop za prekapčanje ravnina bita u prvoj jedinici je ispravan.

D - Sklop za prekapčanje ravnina bita u drugoj jedinici je ispravan.

E - Prva jedinica ne sadrži više od jedne greške, druga jedinica ne sadrži niti jednu grešku.

F - Prva jedinica ne sadrži niti jednu grešku, druga jedinica ne sadrži više od jedne greške.

Vjerojatnosti elementarnih događaja:

$$P(A) = P^*(k+s, P_e, u, s+1, 1) \cdot P^*(k+s, P_e, u, s, 1)$$

$$P(B) = P(A)$$

$$P(C) = P(D) = R_s$$

$$P(E) = P^*(k, P_e, u, 1, 1) \cdot P^*(k, P_e, u, 0, 1)$$

$$P(F) = P(E)$$

Ove vjerojatnosti izražene su na nivou jedne riječi ( $w=1$ ), jer se radi o podacima koji se u obje jedinice nalaze na istim memorijskim lokacijama. U slučajevima kad se pojedini složeni događaj odnosi na cijelu memoriju bit će to označeno indeksom w.

Teorem 1.:

A i B nisu disjunktne događaji.

Dokaz:

Dokaz ovog teorema može se provesti na taj način da se pronadje skup  $X = A \cap B$ .

$$A \cap B = \{x \in X \mid \text{niti jedna jedinica ne sadrži više od } s \text{ grešaka}\}$$

Teorem 2.:

C i D nisu disjunktne događaji.

Dokaz:

$$C \cap D = \{x \in X \mid \text{oba sklopa za prekapčanje ravnina bita su ispravna}\}$$

Teorem 3.:

E i F nisu disjunktne događaji.

Dokaz:

$$E \cap F = \{x \in X \mid \text{niti jedna jedinica ne sadrži grešku}\}$$

Iz pretpostavke o nezavisnosti kvarova i grešaka mogu se izvesti slijedeći izrazi:

$$P(A \cap B) = P(A) \cdot P(B)$$

$$P(C \cap D) = P(C) \cdot P(D)$$

$$P(E \cap F) = P(E) \cdot P(F)$$

Složeni događaj S1 :

Sklopovi za prekapčanje rezervnih ravnina bita u obje jedinice su ispravni, jedna jedinica ne sadrži više od s+1 grešaka, druga jedinica ne sadrži više od s grešaka.

$$S1 = (A \cup B) \cap (C \cap D)$$

$$P(S1) = [P(A) + P(B) - P(A)P(B)]^w \cdot P(C) \cdot P(D) \\ = [2P(A) - P(A)^2]^w \cdot P(C)^2$$

$$P(S1) = \{2P^*(k+s, P_e, u, s+1, 1)P^*(k+s, P_e, u, s, 1) - [P^*(k+s, P_e, u, s+1, 1) \cdot P^*(k+s, P_e, u, s, 1)]^2\}^w \cdot R_B^2$$

Složeni događaj S2 :

Sklopovi za prekapčanje rezervnih ravnina bita su neispravni bilo u prvoj, drugoj ili u obje jedinice, jedna jedinica ne sadrži više od jedne greške, druga jedinica ne sadrži niti jednu grešku.

$$S2 = (E \cup F) \cap (\bar{C} \cap \bar{D})$$

$$P(S2) = [P(E) + P(F) - P(E)P(F)]^w [1 - P(C)P(D)] \\ = [2P(E) - P(E)^2]^w \cdot (1 - R_C^2)$$

$$P(S2) = \{2P^*(k, P_e, u, 1, 1) \cdot P^*(k, P_e, u, 0, 1) - [P^*(k, P_e, u, 1, 1) \cdot P^*(k, P_e, u, 0, 1)]^2\}^w (1 - R_C^2)$$

Teorem 4.:

Složeni događaji S1 i S2 su disjunktni.

Dokaz:

$$S1 \cap S2 = [(A \cup B) \cap (C \cap D)] \cap [(E \cup F) \cap (\bar{C} \cap \bar{D})] \\ = (A \cup B) \cap (E \cup F) \cap (C \cap D) \cap (\bar{C} \cap \bar{D})$$

Kako je  $X \cap \bar{X} = \emptyset$  i  $Y \cap \bar{Y} = \emptyset$ , slijedi

$$S1 \cap S2 = (A \cup B) \cap (E \cup F) \cap \emptyset = \emptyset$$

Složeni događaj S3 :

Memorijski sistem je operativan ako se dogodi S1 ili S2, te ako su istovremeno ispravni sklop za detekciju greške i kontrolni sklop u obje jedinice i sklop za prekapčanje izlazne sabirnice podataka.

$$S3 = (S1 \cup S2) \cap (S_{m1} \cap S_{m2}) \cap (S_{d1} \cap S_{d2}) \cap S_p$$

$$R_{DUP-S} = [P(S1) + P(S2)] \cdot R_m^2 \cdot R_d^2 \cdot R_p$$

gdje je:

$$R_m = P(S_{m1}) = P(S_{m2}) \text{ - pouzdanost kontrolnog sklopa}$$

$$R_d = P(S_{d1}) = P(S_{d2}) \text{ - pouzdanost sklopa za detekciju greške}$$

$$R_p = P(S_p) \text{ - pouzdanost sklopa za prekapčanje izlazne sabirnice podataka}$$

Dupleks memorija bez rezervnih ravnina bita:

Složeni događaj S4:

Memorijski sistem je operativan ako jedna

jedinica ne sadrži više od jedne greške, druga jedinica ne sadrži niti jednu grešku, te ako su istovremeno ispravni kontrolni sklop i sklop za detekciju greške u obje jedinice i sklop za prekapčanje izlazne sabirnice podataka.

$$S4 = (E \cup F) \cap (S_{m1} \cap S_{m2}) \cap (S_{d1} \cap S_{d2}) \cap S_p$$

$$R_{DUP} = P(S4) = [P(E) + P(F) - P(E)P(F)]^w \cdot R_m^2 \cdot R_d^2 \cdot R_p \\ = [2P(E) - P(E)^2]^w \cdot R_m^2 \cdot R_d^2 \cdot R_p$$

### 3. PROGRAM ZA RACUNANJE POUZDANOSTI

Na osnovu opisanih modela izradjen je program za digitalno računalo pomoću kojega se računaju pouzdanosti opisanih memorijskih sistema. Uopćeni dijagram toka programa prikazan je na slici 9. Program je napisan u višem programskom jeziku FORTRAN V i implementiran je u sistemu UNIVAC 1110 Sveučilišnog računskog centra (SRCE) u Zagrebu.

Format podataka na ulaznim karticama je slijedeći:

A	B	C	D	E	F
COM	XV	NB	NWR	BK	NH
A4	A2	I2	I4	A1	I5

Opis podataka po poljima :

A) Naredba ulaznog jezika; može biti jedna od slijedećih:

POUZ - Izračunavanje pouzdanosti memorijskog sistema sa parametrima iz polja B, C, D, E i F.

MTBF - Izračunavanje pouzdanosti memorijskog sistema (Mean Time Between Failures - srednje vrijeme između pogrešaka) sa parametrima iz polja B, C, D, E i F.

ALTR - Paralelni ispis u alternativnu datoteku za štampanje. Ostala polja nisu značajna.

FRMS - Ulazak u rutinu za promjenu parametara pouzdanosti.

PLOT - Aktiviranje potprograma za generiranje izlaznih rezultata u formatu pogodnom za grafički prikaz.

BUGS - Aktiviranje potprograma za praćenje izvodjenjâ programa. Namjena ovog potprograma je prvenstveno bila za kontrolu rada u toku razvoja programa, ali može poslužiti ako se žele dobiti neki rezultati koji se inače ne štampaju na izlaznoj listi.

KRAJ - Završetak obrade.

B) Nezavisna varijabla; može biti jedna od slijedećih:

- T - vrijeme  
 U - nepouzdanost memorijske ćelije  
 RM - pouzdanost kontrolnog sklopa  
 RE - pouzdanost sklopa za detekciju i korekciju greške
- C) Duljina memorijske riječi u bitima  
 D) Kapacitet memorije u riječima  
 E) Oznaka jedinice za kapacitet memorije. Ako je u ovom polju upisano K kapacitet će biti prihvaćen u K-riječima ( $K = 1024$  riječi).  
 F) Vrijeme za koje se računa pouzdanost. Ovo polje nema značaja ukoliko je nezavisna varijabla vrijeme.

Sva polja na ulaznoj kartici su uvjetna osim polja A i B. Program sadrži dva osnovna skupa parametara:

- (1) Parametri pouzdanosti. To su frekvencije kvara pojedinih blokova sistema te vjerojatnosti  $P_{SQ}, P_{S1}, P_e$  i sl.
- (2) Parametri memorijskih sistema. To su kapacitet memorije, duljine riječi, broj rezervnih ravnina bita, broj rezervnih modula i sl.

Parametri pouzdanosti mogu se promijeniti naredbom PRMS, dok se parametri memorijskih sistema učitavaju uz naredbe POUZ i MTBF. Ukoliko se polja za parametre ostave prazna, program se izvodi sa slijedećim parametrima:

duljina riječi	
SMP, NMR, ROM	16
SEC-0, SEC-1	22
ZEC-0	23
SS-2, DUP-0, DUP-1	17
kapacitet memorije	1K
l, j za SS-2	0,1
$\lambda$ memorijske ćelije	$10^{-9}$
$\lambda$ sklopa za korekciju	$0.95 \cdot 10^{-6}$
$\lambda$ sklopa za prekapčanje	$0.15 \cdot 10^{-6}$
$\lambda$ kontrolnog sklopa	$(k+s) \cdot 0.3 \cdot 10^{-6}$
$\lambda$ sklopa za glasanje	$0.5 \cdot 10^{-6}$
$P_e$ (ROM, NMR)	0.5
$P_e$ (svi ostali)	1.0

Izlazna lista prikazuje pouzdanosti pojedinih memorijskih sistema u zavisnosti od određene nezavisne varijable. Rasponi u kojima se kreću pojedine nezavisne varijable su slijedeći:

T - 1 do 20000 sati
U - $10^{-11}$ , do $10^{-2}$
RM - 0.82 do 1.0
RE - 0.82 do 1.0

Kako računarski sistema SRCE-a ne uključuje grafičku stanicu, izlazni podaci za grafički prikaz buše se u posebnom formatu na kartice,

tako da se mogu posebnim programom iscrtati na crtaču krivulja sistema IBM 1130 (Elektrotehnički fakultet - Zagreb). Program je predviđen za interaktivni rad na terminalu. U slučaju da se želi ispis rezultata na štampaču, naredbom ALTR postiže se paralelan ispis na terminalu i u alternativnu datoteku za štampanje. Ova datoteka se po završetku programa upućuje na štampanje.

#### 4. RACUNANJE FREKVENCIJA KVAROVA BLOKOVA NA OSNOVU PRIRUCNIKA MIL-HDBK-217B

Program opisan u prethodnom poglavlju računa pouzdanost memorijskih sistema na osnovu frekvencija kvara pojedinih blokova sistema koje su zadane kao parametri. Ovi parametri se moraju ili pretpostaviti ili izračunati. Da bi se izračunala frekvencija kvara bloka koji se obično sastoji od većeg broja raznovrsnih komponenti, potrebno je:

- (1) Sastaviti listu komponenti bloka čiju frekvenciju kvara određujemo.
- (2) Generirati podatke zavisne o primjeni (radna temperatura, okolina, naprezanja i nivo kvalitete).
- (3) Obezbijediti informacije o svakoj komponenti kao što su kompleksnost integriranog sklopa i granice maksimalnog napreznja.
- (4) Izvršiti proračun frekvencije kvara prema tablicama iz MIL-HDBK-217B [10].

Da bi se ovaj naporni posao olakšao izradjen program za digitalno računalo koji zamjenjuje korak (4) ovog postupka. Ovaj program je tek u početnoj fazi, tako da zasada računa frekvencije kvara integriranih elektroničkih sklopova, a daljnji razvoj predviđa uključivanje i ostalih komponenti zastupljenih u MIL-HDBK-217B. Također je u planu uspostavljanje datoteke sa kataloškim podacima o pojedinim komponentama. Na taj način bi se i korak (3) zamijenio automatskim pretraživanjem kataloga.

Model za računanje frekvencije kvara integriranog sklopa prikazan je izrazom:

$$\lambda_P = \pi_L \cdot \pi_Q (C_1 \cdot \pi_T + C_2 \cdot \pi_E)$$

gdje je :

$\lambda_P$  - frekvencija kvara integriranog sklopa izražena u  $1/10^6$  sati

$\pi_L$  - faktor učenja komponente (izražava tzv. početnu nepouzdanost kod komponenti u početnoj proizvodnji)

$\pi_Q$  - faktor kvalitete integriranog sklopa

$\pi_T$  - temperaturni faktor, ovisi o tehnologiji proizvodnje integriranog sklopa

$\pi_E$  - faktor okoline u kojoj se integrirani sklop primjenjuje

Faktori  $\pi_L, \pi_Q, \pi_T, \pi_E, C_1$  i  $C_2$  dobiju se iz tablica MIL-HDBK-217B.

Dijagram toka programa prikazan je slikom 10. Format ulaznih podataka je slijedeći:

A	B	C	D	E	F	G	H	I
A3	A1	I8	A2	A1	A2	F4.0	I3	I10

Značenja pojedinih polja su:

A) Tip integriranog sklopa:

DMS - digitalni, niskog ili srednjeg stupnja integracije

DLS - digitalni, visokog stupnja integracije

RAM - memorija

ROM - ispisna memorija

LIN - linearni

B) Tehnologija proizvodnje sklopa:

A - TTL i DTL

B - bipolarni i MOS linearni, bipolarni ECL i "beam lead", ostali MOS sklopovi

C) Broj logičkih sklopova

D) Nivo kvalitete komponente:

AO - Mil-M-38510, klasa A (JAN)

BO - Mil-M-38510, klasa B (JAN)

B1 - MIL-Std-883, metoda 5004, klasa B

B2 - Vendor ekvivalent Mil-Std-883, metoda 5004, klasa B

CO - Mil-M-38510, klasa C (JAN)

DO - komercijalni sklopovi, izvan vojnih standarda

E) Faktor učenja

F) Radna okolina:

GB - zemaljski, laboratorijski uvjeti

SF - svemirski let

GF - zemaljski nepokretni

AI - zrakoplovstvo, područje s posadom

NS - mornarica

GM - zemaljski, pokretni

AU - zrakoplovstvo područja bez posade

NU - mornarica, otežani uvjeti

ML - satelitske i raketne primjene

G) Radna temperatura

H) Broj izvoda na kućištu integriranog sklopa

I) Broj komponenti u bloku

Izlazna lista sadrži preglednu tabelu svih komponenti i parametara sa pojedinačnim frekvencijama kvara. Na kraju tabele štampa se ukupni broj komponenti i ukupna frekvencija kvara bloka.

## 5. ZAKLJUČAK

Dosadašnja istraživanja na području ostvarivanja pouzdanog rada memorijskih sistema rezultirala su u velikom broju različitih koncepcija. Prilikom odabiranja određenog sistema mora se voditi računa o odnosu veličina cijene, brzine i pouzdanosti koje karakteriziraju sistem. Da bi se odabrao optimalni sistem s obzirom na pouzdanost, mora se odrediti uticaj takvih parametara memorije kao što su npr. dužina memorijske riječi, veličina memorije, pouzdanost upotrebljenih elemenata, očekivane dužine rada i sl. [1 - 4].

Programi koji su opisani omogućuju analizu uticaja pojedinih parametara memorije na pouzdanost cijelog sistema. Programi u računanju pouzdanosti memorijskog sistema polaze od modela koji su izvedeni iz pouzdanosti pojedinih blokova memorije. Pouzdanost pojedinog bloka memorije računa se prema priručniku MIL-HDBK-217B.

DODATAK : Objašnjenje pojmova i oznaka korištenih u tekstu

kvar - odstupanje fizikalnih karakteristika komponente od karakteristika određenih početnim dizajnom

greška - Logička varijabla čija se vrijednost razlikuje od dizajnom predviđene vrijednosti, uslijed djelovanja kvara

maskirani kvar - logička varijabla čija se vrijednost ne razlikuje od dizajnom predviđene vrijednosti, iako je na nju djelovao kvar

grupa bita - skup bita unutar kojega promatramo vjerojatnost pojave greške u datom trenutku, Kod NMR sistema to je skup bita koji se dovode na ulaze sklopa za glasanje a kod ostalih je to memorijska riječ.

s-a- $\alpha$  - (engleski: stuck-at- $\alpha$ ), tip kvara kada logička varijabla zadržava trajno istu vrijednost  $\alpha, \alpha \in \{0, 1\}$ .

$$\text{binm}(i; p, N) = \binom{N}{i} p^i (1-p)^{N-i}$$

$P_{Di}$  - dio memorijskih riječi koje na poziciji i-tog bita sadrže jedinicu.

k - duljina memorijske riječi

w - kapacitet memorije u riječima

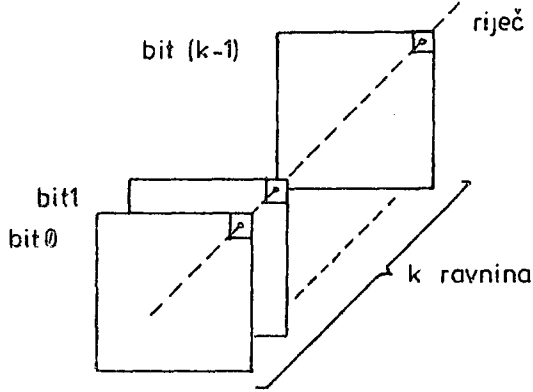
$P_{S0}, P_{S1}$  - vjerojatnosti kvarova s-a-0 i s-a-1

u - nepouzdanost ćelije

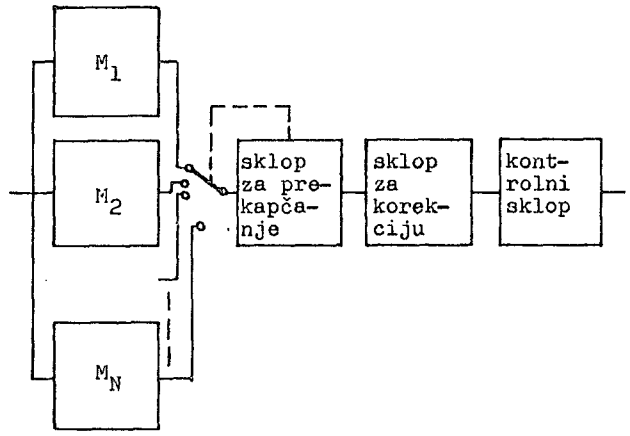
$u_V$  - nepouzdanost sklopa za glasanje

s - broj rezervnih ravnina bita

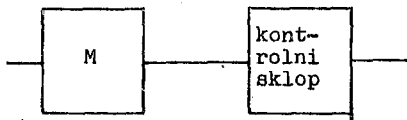
$\lambda$  - frekvencija kvara



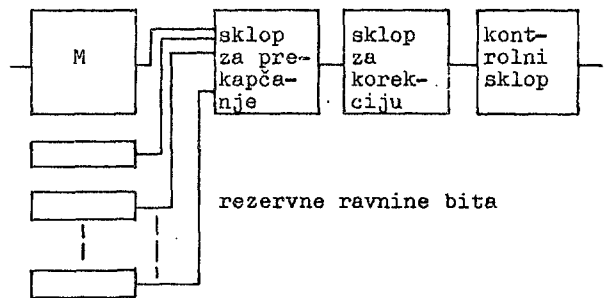
Slika 1.: Organizacija memorije



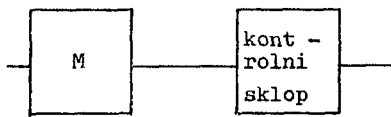
Slika 5.: Model pouzdanosti memorijskog sistema sa rezervnim modulima (SS-N)



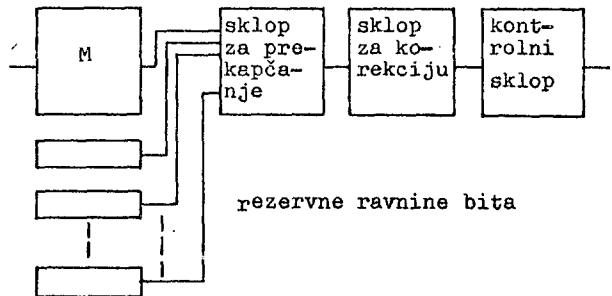
Slika 2.: Model pouzdanosti simpleks memorijskog sistema (SMP)



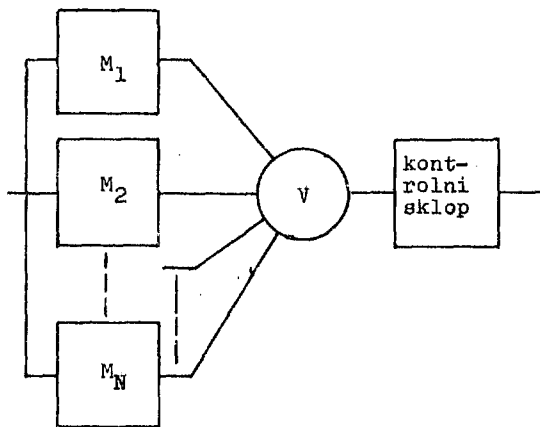
Slika 6.: Model pouzdanosti memorijskog sistema sa korekcijom jednostruke greške i rezervnim ravninama bita (SEC-S)



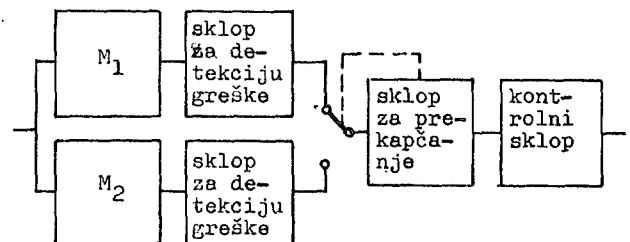
Slika 3.: Model pouzdanosti ispisne memorije (ROM)



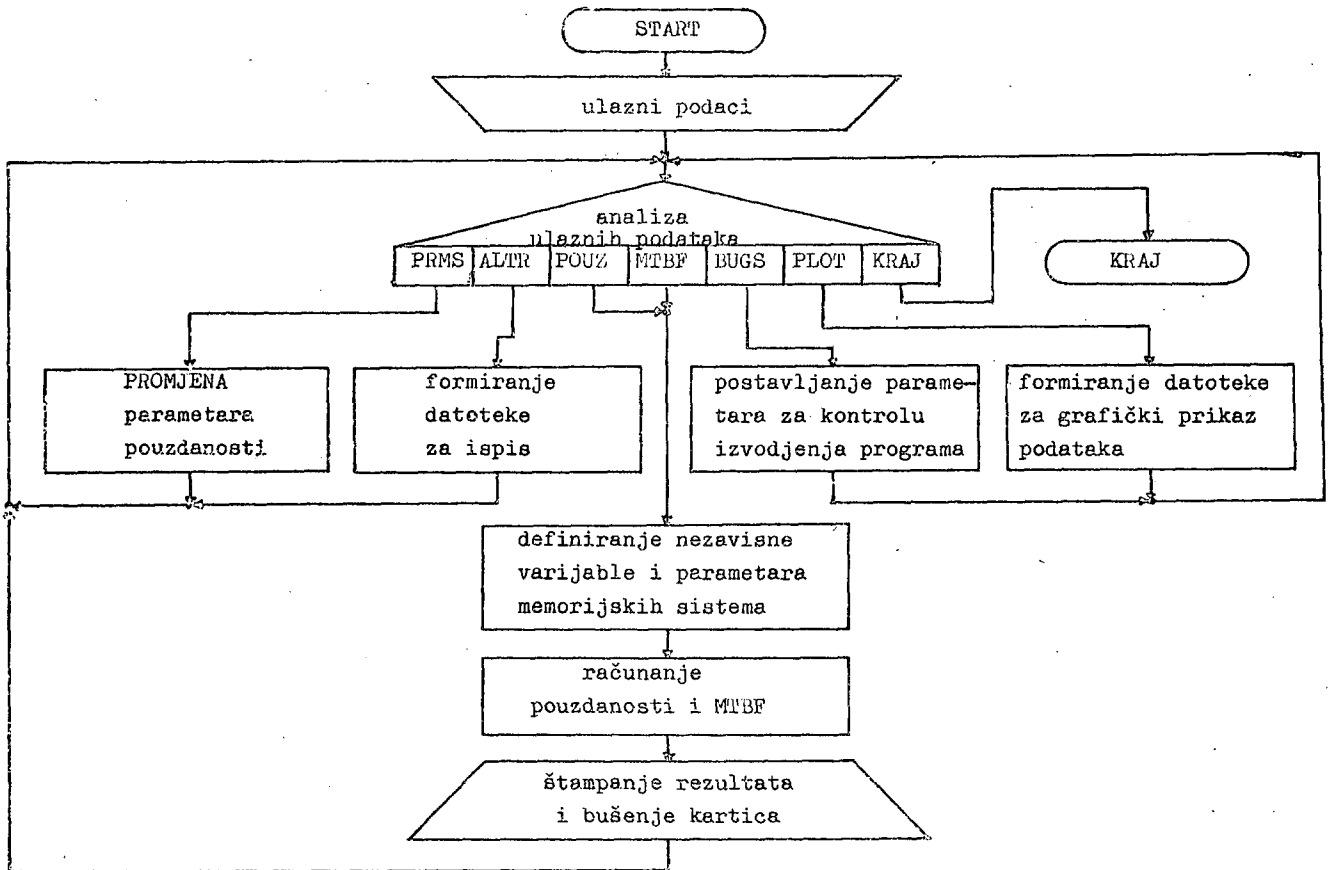
Slika 7.: Model pouzdanosti memorijskog sistema sa korekcijom M grešaka i rezervnim ravninama bita (MEC-S)



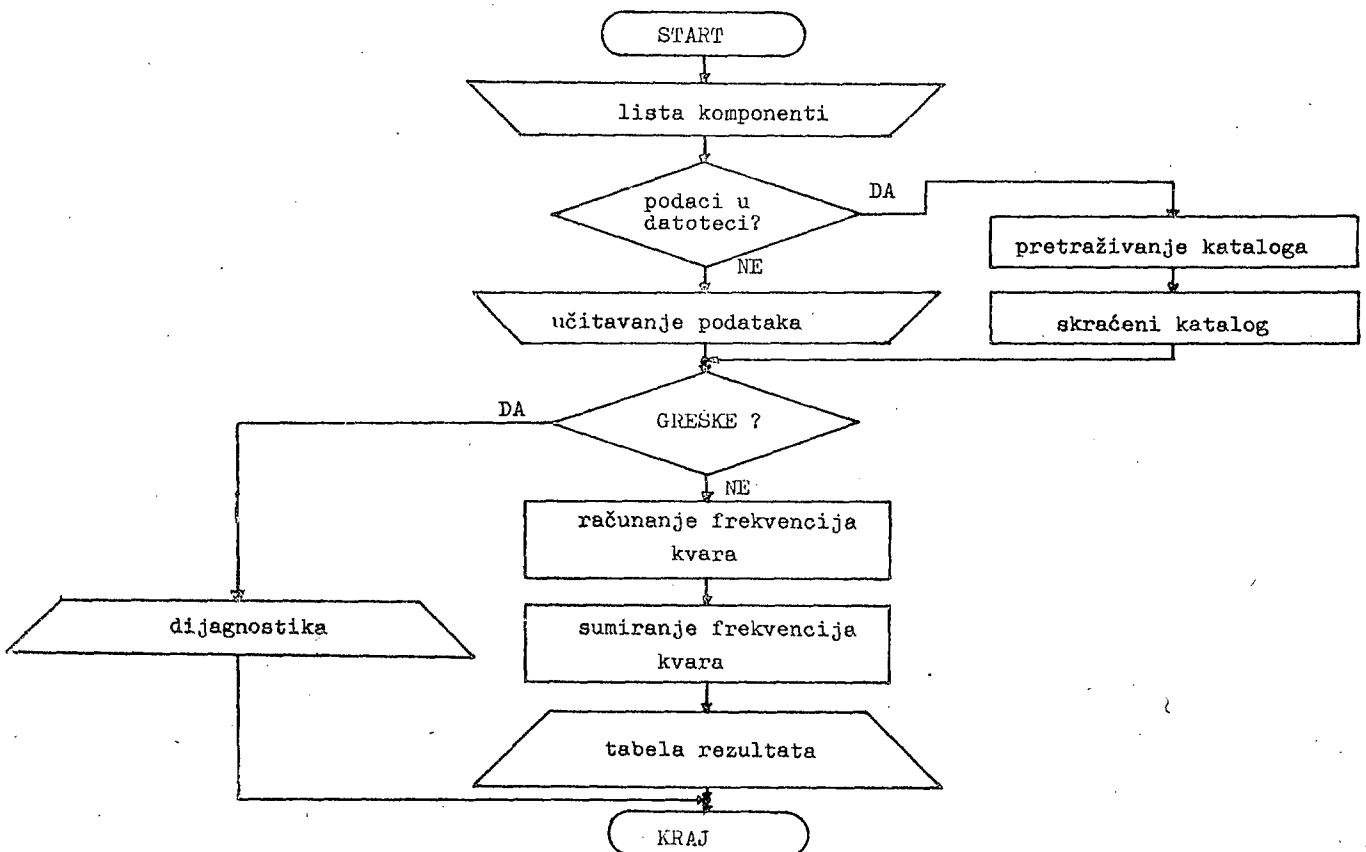
Slika 4.: Model pouzdanosti memorijskog sistema sa N-modularnom zalihosti (NMR)



Slika 8.: Model pouzdanosti dupleks memorijskog sistema (DUP-S)



Slika 9.: Dijagram toka programa za računanje pouzdanosti memorijskih sistema



Slika 10.: Dijagram toka programa za računanje frekvencija kvara blokova



## Literatura

- 1 Glen W.Cox, B.D.Carroll, "Reliability Modeling and Analysis of Fault-Tolerant Memories," IEEE Trans. Reliability, vol R-27, 1978 April, pp 49-54.
- 2 D.Siewiorek, S.Elkind, "The Effect of Semiconductor memory chip failure modes on system reliability and performance," 1978 International Symposium on Fault-Tolerant Computing, Toulouse, France, 1978 June 21-23, pp 150-155.
- 3 D.Siewiorek et al., "A Case study of C.mmp, Cm, and C.vmp: Part II-Predicting and calibrating reliability of multiprocessor systems," Proceedings of the IEEE, vol.66, No.10, 1978 October, pp 1200-1220.
- 4 L.Levine, W.Meyers, "Semiconductor memory reliability with error detecting and correcting codes," Computer, vol 9, No.10, 1976 October, pp 43-50.
5. W.T.Hartwel, C.W.Hoffner, W.N.Toy, "A fault-tolerant memory for duplex systems," IEEE Trans .Reliability, vol R-27, 1978 April, pp 134-138.
6. J.Goldberg et al., "An organization for a highly survivable memory," IEEE Trans. on Computers, vol C-23, No.7, July 1974, pp 693-705.
7. W.C.Carter, C.E.Mc Carthy, "Implementation of an experimental fault-tolerant memory system," IEEE Trans.on Computers, vol C-25 , No.6, June 1976, pp 557-568.
8. W.C.Carter at al., "Lookaside techniques for minimum circuit memory translators," IEEE Trans.on Computers , vol C-22, No.3, March 1973 pp 283-289.
9. W.G Bouricius at al, "Modeling of a bubble memory organization with self-checking translators to achieve high reliability," IEEE Trans on Computers, vol C-22, March 1973, pp 269-275
10. Mil-Std-Hdbk-217B, Military Standardization Handbook: Reliability Prediction of Electronic Equipment, September 1974.